

Docket No.: 22040-00018-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Mamoru Kitamura

Application No.: 10/628,261

Filed: July 29, 2003

Art Unit: N/A

For: AUDIO REPRODUCING APPARATUS AND
METHOD

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2001-020046	January 29, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22040-00018-US from which the undersigned is authorized to draw.

Dated: September 17, 2003
11938_1

Respectfully submitted,

By Larry J. Hume
Larry J. Hume

Registration No.: 44,163
CONNOLLY BOVE LODGE & HUTZ LLP
1990 M Street, N.W., Suite 800
Washington, DC 20036-3425
(202) 331-7111
(202) 293-6229 (Fax)
Attorney for Applicant

10/628,261

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 1 月 2 9 日
Date of Application:

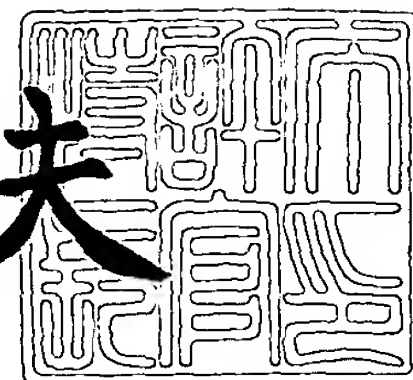
出 願 番 号 特 願 2 0 0 1 - 0 2 0 0 4 6
Application Number:
[ST. 10/C]: [J P 2 0 0 1 - 0 2 0 0 4 6]

出 願 人 新潟精密株式会社
Applicant(s):

2 0 0 3 年 8 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 9 9 8 4

【書類名】 特許願

【整理番号】 13NS1276

【提出日】 平成13年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/20

【発明者】

 【住所又は居所】 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会
社内

 【氏名】 喜多村 守

【特許出願人】

 【識別番号】 591220850

 【氏名又は名称】 新潟精密株式会社

【代理人】

 【識別番号】 100105784

 【弁理士】

 【氏名又は名称】 橋 和之

 【電話番号】 0492-49-5122

【手数料の表示】

 【予納台帳番号】 070162

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0006161

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 音声再生装置および方法

【特許請求の範囲】

【請求項 1】 デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、

複数のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、

上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、

上記増幅手段に生じるオフセット電圧に応じた信号を用いて、上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする音声再生装置。

【請求項 2】 デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、

ブリッジ型のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、

上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、

上記増幅手段に生じるオフセット電圧を検出するオフセット電圧検出手段と、

上記オフセット電圧検出手段により検出されたオフセット電圧に応じた信号を上記駆動手段にフィードバック入力し、上記フィードバック入力した信号を用いて上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする音声再生装置。

【請求項 3】 上記駆動手段は、上記パルス幅変調信号に基づいて、上記増幅手段の一对のスイッチング素子ともう一对のスイッチング素子とを交互にオンとするための駆動制御信号を生成する手段を備えており、

上記補正手段は、上記一对のスイッチング素子をオフとしてから上記もう一对のスイッチング素子をオンとするまでの時間が少なくとも上記スイッチング素子のスイッチングにかかる時間よりも長くなるように上記駆動制御信号のパルス幅を補正することを特徴とする請求項 1 または 2 に記載の音声再生装置。

【請求項 4】 上記駆動手段は、上記パルス幅変調信号に基づいて、上記増幅手段の一对のスイッチング素子ともう一对のスイッチング素子とを交互にオンとするための駆動制御信号を生成する手段を備えており、

上記補正手段は、上記オフセット電圧に応じた信号に基づいて、上記一对のスイッチング素子をオンとするためのパルス幅が、上記もう一对のスイッチング素子をオンとするためのパルス幅よりも広くあるいは狭くなるように上記駆動制御信号のパルス幅を補正することを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の音声再生装置。

【請求項 5】 上記補正手段は、上記オフセット電圧に応じた信号に基づいて、ハイまたはロウの論理の境界となるしきい値を可変とすることによって上記駆動制御信号のパルス幅を補正するようにしたことを特徴とする請求項 1 ～ 4 の何れか 1 項に記載の音声再生装置。

【請求項 6】 デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、

複数のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、

上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、

上記増幅手段に生じるオフセット電圧に応じた信号を用いて、上記駆動制御信号のパルス幅を補正する補正手段とを備え、

上記補正手段は、上記パルス幅変調信号のパルス波形のエッジを鈍らせる波形形成手段と、

上記波形形成手段によりエッジが鈍らされたパルス幅変調信号としきい値とを

比較し、その比較結果に応じたパルス幅を有するパルス信号を出力するとともに、上記オフセット電圧に応じた信号を用いて上記しきい値を可変とする比較手段とを備えることを特徴とする音声再生装置。

【請求項 7】 デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、

ブリッジ型のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、

上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、

上記増幅手段のオフセット電圧に応じた信号を生成する信号生成手段と、

上記信号生成手段により生成された上記オフセット電圧に応じた信号を用いて上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする音声再生装置。

【請求項 8】 デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生方法であって、

複数のスイッチング素子により構成される増幅手段のオフセット電圧に応じた信号を検出もしくは生成し、当該オフセット電圧に応じた信号を用いて、上記パルス幅変調信号に基づいて生成される上記増幅手段の駆動制御信号のパルス幅を補正するようにしたことを特徴とする音声再生方法。

【請求項 9】 上記パルス幅変調信号のパルス波形のエッジを鈍らせ、当該エッジが鈍らされたパルス幅変調信号としきい値とを比較し、その比較結果に応じたパルス幅を有するパルス信号を出力するとともに、上記オフセット電圧に応じた信号を用いて上記しきい値を可変とすることによって上記駆動制御信号のパルス幅を補正するようにしたことを特徴とする音声再生方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は音声再生装置および方法に関し、特に、CD（コンパクトディスク）等のデジタル信号記録メディアに記録されたデジタルのオーディオデータを再生してアナログ出力するデジタルパワーアンプに用いて好適なものである。

【0 0 0 2】**【従来の技術】**

従来、もともとアナログ信号であるオーディオ情報をデジタル信号で表現する手段として、PCMマルチビット方式（以下、PCM方式と略す）が採用されてきた。現在広範に用いられているCDも、このPCM方式を採用している。PCM方式では、サンプリング周波数（44.1 kHz）のタイミング毎に量子化特性に応じた演算を行ってアナログ信号をデジタル信号に置き換え、全てのサンプル点についてデータの絶対量をCDに記録する。

【0 0 0 3】

これに対して、最近になって、 $\Delta\Sigma$ 変調を用いて量子化ノイズの分布を制御することにより、PCM方式に比べてデジタル信号から元のアナログ信号への復元性を向上させた1ビット方式が注目を集めている。1ビット方式では、直前のデータに対する変化量を2値信号として記録するだけで、PCM方式のような情報量の間引きや補間がないため、量子化によって得られる1ビット信号は極めてアナログに近い特性を示している。

【0 0 0 4】

したがって、1ビット方式に基づく音声再生装置（デジタルパワーアンプ）、所謂1ビットアンプでは、PCM方式と異なりD/A変換器を必要とせず、最終段に設けたローパスフィルタにより高周波成分のデジタル信号を除去するだけの単純なプロセスで元のアナログ信号を再現することができるというメリットを有している。

【0 0 0 5】

図4は、従来の1ビットアンプの構成を概略的に示すブロック図である。図4において、 $\Delta\Sigma$ 変調部52は、CD51から再生されたデジタルオーディオの1ビット信号に対して $\Delta\Sigma$ 変調に基づく変換処理を行い、PWM（Pulse Width Mo

dulation：パルス幅変調）信号を得る。そして、得られたPWM信号をドライバ回路53に供給し、パワーアンプ54を駆動するための制御信号として利用する。

【0006】

パワーアンプ54は、フルブリッジのスイッチング回路から成り、各スイッチング素子（MOSトランジスタQ1～Q4）のON状態の時間を制御することによって、供給される電源電圧V_pに基づきオーディオ信号を増幅して出力する。このスイッチングを制御するための信号として、時間軸にアナログ的な幅を持つPWM信号を用いる。

【0007】

このパワーアンプ54によって増幅されたオーディオ信号は、コイルL1，L2とコンデンサC1，C2とから成るローパスフィルタ（LPF）55，56を通してアナログオーディオ信号となり、スピーカ57より出力される。このときパワーアンプ54では、図4に示されるように、2つのMOSトランジスタQ1，Q4と2つのMOSトランジスタQ2，Q3とがそれぞれ一対となって交互にONとなる。これにより、スピーカ57のコイルに与えられる電圧が正負に振られ、オーディオ信号が出力される。

【0008】

【発明が解決しようとする課題】

上述したように、図4のような構成の1ビットアンプを用いれば、再生時にD/A変換動作を行うことなく、ローパスフィルタ55，56によって高周波信号を除去するだけの単純なプロセスで元のアナログ信号を再現することができる。しかし、このような構成では、4つのMOSトランジスタQ1～Q4の特性のばらつきによって、パワーアンプ54のブリッジ回路に直流のオフセット電圧が発生し、再生音声の品質が劣化してしまうという問題が生じる。

【0009】

本来、オーディオ信号をパワーアンプ54のブリッジ回路で増幅してスピーカ57から出力する際には、スピーカ57への出力電圧をオフセットのないゼロ電圧を中心として正負に振る必要がある。しかしながら、ブリッジ回路にオフセッ

ト電圧が発生すると、例えば大きな音を出力する際にその出力レベルが頭打ちになってクリップしてしまい、オーディオ信号の波形に歪みが生じて再生音声の音質に悪影響を与える原因となってしまうという問題があった。

【0010】

また、ブリッジ型のパワーアンプ54では、通常、一对のMOSトランジスタQ1、Q4がONのときは、もう一对のMOSトランジスタQ2、Q3が必ずOFFとなるように設計される。しかしながら、各MOSトランジスタQ1～Q4の特性（スイッチング速度など）のばらつきによって、一对のMOSトランジスタQ1、Q4ともう一对のMOSトランジスタQ2、Q3とのON動作を切り替えるときに両方がONとなってしまう状態が発生し、MOSトランジスタQ1、Q2を通じて、あるいはMOSトランジスタQ3、Q4を通じて貫通電流が流れてしまうという問題があった。

【0011】

本発明は、このような問題を解決するために成されたものであり、ブリッジ型のパワーアンプを構成する各スイッチング素子の特性のばらつきによって生じるオフセット電圧や貫通電流を有効にキャンセルできるようにすることを目的としている。

【0012】

【課題を解決するための手段】

本発明の音声再生装置は、デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、複数のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、上記増幅手段に生じるオフセット電圧に応じた信号を用いて、上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする。

【0013】

本発明の他の態様では、デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、ブリッジ型のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、上記増幅手段に生じるオフセット電圧を検出するオフセット電圧検出手段と、上記オフセット電圧検出手段により検出されたオフセット電圧に応じた信号を上記駆動手段にフィードバック入力し、上記フィードバック入力した信号を用いて上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする。

【0014】

本発明のその他の態様では、上記駆動手段は、上記パルス幅変調信号に基づいて、上記増幅手段の一对のスイッチング素子ともう一对のスイッチング素子とを交互にオンとするための駆動制御信号を生成する手段を備えており、上記補正手段は、上記一对のスイッチング素子をオフとしてから上記もう一对のスイッチング素子をオンとするまでの時間が少なくとも上記スイッチング素子のスイッチングにかかる時間よりも長くなるように上記駆動制御信号のパルス幅を補正することを特徴とする。

【0015】

本発明のその他の態様では、上記駆動手段は、上記パルス幅変調信号に基づいて、上記増幅手段の一对のスイッチング素子ともう一对のスイッチング素子とを交互にオンとするための駆動制御信号を生成する手段を備えており、上記補正手段は、上記オフセット電圧に応じた信号に基づいて、上記一对のスイッチング素子をオンとするためのパルス幅が、上記もう一对のスイッチング素子をオンとするためのパルス幅よりも広くあるいは狭くなるように上記駆動制御信号のパルス幅を補正することを特徴とする。

【0016】

本発明のその他の態様では、上記補正手段は、上記オフセット電圧に応じた信

号に基づいて、ハイまたはロウの論理の境界となるしきい値を可変とすることによって上記駆動制御信号のパルス幅を補正するようにしたことを特徴とする。

【0 0 1 7】

本発明のその他の態様では、デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、複数のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、上記増幅手段に生じるオフセット電圧に応じた信号を用いて、上記駆動制御信号のパルス幅を補正する補正手段とを備え、上記補正手段は、上記パルス幅変調信号のパルス波形のエッジを鈍らせる波形形成手段と、上記波形形成手段によりエッジが鈍らされたパルス幅変調信号としきい値とを比較し、その比較結果に応じたパルス幅を有するパルス信号を出力するとともに、上記オフセット電圧に応じた信号を用いて上記しきい値を可変とする比較手段とを備えることを特徴とする。

【0 0 1 8】

本発明のその他の態様では、デジタルオーディオ信号に基づき生成されたパルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生装置であって、ブリッジ型のスイッチング素子により構成され、上記オーディオ信号の増幅を行う増幅手段と、上記パルス幅変調信号に基づいて駆動制御信号を生成し、上記駆動制御信号に従って上記スイッチング素子のオン／オフを制御することにより上記増幅手段を駆動する駆動手段と、上記増幅手段のオフセット電圧に応じた信号を生成する信号生成手段と、上記信号生成手段により生成された上記オフセット電圧に応じた信号を用いて上記駆動制御信号のパルス幅を補正する補正手段とを備えたことを特徴とする。

【0 0 1 9】

また、本発明の音声再生方法は、デジタルオーディオ信号に基づき生成された

パルス幅変調信号に従ってオーディオ信号の増幅を行い、更にフィルタリング処理を行うことによってアナログオーディオ信号を出力する音声再生方法であって、複数のスイッチング素子により構成される増幅手段のオフセット電圧に応じた信号を検出もしくは生成し、当該オフセット電圧に応じた信号を用いて、上記パルス幅変調信号に基づいて生成される上記増幅手段の駆動制御信号のパルス幅を補正するようにしたことを特徴とする。

【0 0 2 0】

本発明の他の態様では、上記パルス幅変調信号のパルス波形のエッジを鈍らせ、当該エッジが鈍らされたパルス幅変調信号としきい値とを比較し、その比較結果に応じたパルス幅を有するパルス信号を出力するとともに、上記オフセット電圧に応じた信号を用いて上記しきい値を可変とすることによって上記駆動制御信号のパルス幅を補正するようにしたことを特徴とする。

【0 0 2 1】

上記のように構成した本発明によれば、増幅手段に生じるオフセット電圧に応じた信号に基づいて、当該増幅手段を駆動する駆動制御信号のパルス幅が補正され、補正の施された駆動制御信号に従って増幅手段が駆動されることとなる。

このとき、増幅手段の一对のスイッチング素子をオフとしてからもう一对のスイッチング素子をオンとするまでの時間が少なくともスイッチング素子のスイッチングにかかる時間よりも長くなるように補正が行われることにより、一对のスイッチング素子ともう一对のスイッチング素子とがその切り替え時に同時にオンとなってしまう不都合を防止することが可能となる。

また、一对のスイッチング素子をオンとするためのパルス幅が、もう一对のスイッチング素子をオンとするためのパルス幅よりも広くあるいは狭くなるように補正が行われることにより、オフセット電圧をキャンセルする方向に印加電圧の大きさを調整することが可能となる。

【0 0 2 2】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。

図 1 は、本発明の音声再生装置を実施した本実施形態による 1 ビットアンプの

構成例を示す図である。なお、図 1 において、図 4 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

【 0 0 2 3 】

図 1 に示すように、本実施形態の 1 ビットアンプは、 $\Delta \Sigma$ 変調部 5 2、ドライバ回路 3、パワーアンプ 5 4、LPF 5 5、5 6、オフセット電圧検出回路 1 を備えている。そして、CD 5 1 より再生されたデジタルオーディオ信号をもとに $\Delta \Sigma$ 変調部 5 2 にて生成した PWM 信号に基づいて、ドライバ回路 3 がパワーアンプ 5 4 の増幅時間を制御し、得られた増幅信号を LPF 5 5、5 6 に通すことにより、アナログオーディオ信号を得る。

【 0 0 2 4 】

すなわち、 $\Delta \Sigma$ 変調部 5 2 は、CD 5 1 から再生されたデジタルオーディオの 1 ビット信号に対して $\Delta \Sigma$ 変調に基づく変換処理を行い、PWM 信号を得る。そして、得られた PWM 信号をドライバ回路 3 に供給する。ドライバ回路 3 は、 $\Delta \Sigma$ 変調部 5 2 より供給された PWM 信号を用いて、パワーアンプ 5 4 を駆動するための駆動制御信号を生成する。

【 0 0 2 5 】

パワーアンプ 5 4 は、ドライバ回路 3 から供給される駆動制御信号に基づいて MOS トランジスタ Q 1 ~ Q 4 の ON 状態の時間を制御することにより、供給される電源電圧 V_p に基づきオーディオ信号を増幅して出力する。このパワーアンプ 5 4 によって増幅されたオーディオ信号は、LPF 5 5、5 6 を通してアナログオーディオ信号となり、スピーカ 5 7 より出力される。

【 0 0 2 6 】

このとき、オフセット電圧検出回路 1 は、パワーアンプ 5 4 のブリッジ回路においてスピーカ 5 7 の両端に生じるオフセット電圧を検出し、ドライバ回路 3 にフィードバックする。ドライバ回路 3 は、フィードバックされてきたオフセット電圧を考慮して PWM 信号のパルス幅を調整し、オフセット電圧がなくなる方向へと制御する。

【 0 0 2 7 】

以下に、ドライバ回路 3 およびオフセット電圧検出回路 1 の詳細な構成について

て説明する。本実施形態のドライバ回路 3 は、インバータ 1 1, 1 4、コンパレータ 1 2、AND ゲート 1 3, 1 5、抵抗 R 3 およびコンデンサ C 3 を備えている。このうちコンパレータ 1 2、抵抗 R 3 およびコンデンサ C 3 によって補正手段が構成される。コンパレータ 1 2 は比較手段、抵抗 R 3 およびコンデンサ C 3 は波形形成手段に相当する。

【 0 0 2 8 】

第 1 のインバータ 1 1 は、 $\Delta \Sigma$ 変調部 5 2 より供給される PWM 信号の論理を反転する。この第 1 のインバータ 1 1 の出力信号は、第 1 の AND ゲート 1 3 の一方の入力端子に供給されるとともに、抵抗 R 3 およびコンデンサ C 3 を通してコンパレータ 1 2 の正側の入力端子に供給される。

【 0 0 2 9 】

コンパレータ 1 2 の負側の入力端子には、オフセット電圧検出回路 1 により検出されたオフセット電圧に応じた信号がフィードバック入力されている。これにより、コンパレータ 1 2 が “H” または “L” の信号を出力する際の境界となるしきい値電圧が、フィードバックされたオフセット電圧によって可変とされる。コンパレータ 1 2 より出力された信号は、上記第 1 の AND ゲート 1 3 の他方の入力端子に供給されるとともに、第 2 のインバータ 1 4 を介して第 2 の AND ゲート 1 5 の一方の入力端子に供給される。

【 0 0 3 0 】

第 1 の AND ゲート 1 3 は、第 1 のインバータ 1 1 から供給される信号と、コンパレータ 1 2 から供給される信号との論理積をとり、その出力信号をパワーアンプ 5 4 の 2 つの MOS トランジスタ Q 1, Q 4 の ON 時間を制御する駆動制御信号として供給する。また、第 2 の AND ゲート 1 5 は、第 2 のインバータ 1 4 から供給される信号と、 $\Delta \Sigma$ 変調部 5 2 から供給される信号との論理積をとり、その出力信号をパワーアンプ 5 4 の 2 つの MOS トランジスタ Q 2, Q 3 の ON 時間を制御する駆動制御信号として供給する。

【 0 0 3 1 】

また、本実施形態のオフセット電圧検出回路 1 は、コンパレータ 2 1、一對の抵抗 R 4 とコンデンサ C 4、一對の抵抗 R 5 とコンデンサ C 5 および 2 つの抵抗

R 6, R 7を備えている。コンパレータ 2 1 の正負の入力端子は、2 つの抵抗 R 6, R 7を介してスピーカ 5 7の両端に接続されている。すなわち、コンパレータ 2 1 の正側の入力端子は、抵抗 R 7を介してノード Hに接続され、負側の入力端子は、抵抗 R 6を介してノード I に接続されている。

【 0 0 3 2 】

ここで、ノード Hは、MOS トランジスタ Q 1, Q 4 が ON となったときにスピーカ 5 7 に印加する正電圧が生じるノードである（このときノード I には、スピーカ 5 7 から引き込む電圧が生じる）。一方、ノード I は、MOS トランジスタ Q 2, Q 3 が ON となったときにスピーカ 5 7 に印加する正電圧が生じるノードである（このときノード H には、スピーカ 5 7 から引き込む電圧が生じる）。

【 0 0 3 3 】

コンパレータ 2 1 は、スピーカ 5 7 の両端（ノード H, I 間）に生じる直流のオフセット電圧を検出し、それをドライバ回路 3 内のコンパレータ 1 2 の負側の入力端子にフィードバックする。

【 0 0 3 4 】

次に、上記のように構成した 1 ビットアンプ、特にドライバ回路 3 とオフセット電圧検出回路 1 の動作を説明する。図 2 は、ドライバ回路 3 の動作を説明するためのタイミングチャートである。以下、この図 3 のタイミングチャートを参照しながら動作を説明する。

【 0 0 3 5 】

ここでは、 $\Delta \Sigma$ 変調部 5 2 から出力されたノード A の PWM 信号が、図 2 (a) のような波形になっているものとする。この PWM 信号が第 1 のインバータ 1 1 を通ることにより、その出力ノード B の信号は図 2 (b) のようになる。そして、この論理反転された PWM 信号が抵抗 R 3、コンデンサ C 3 を通ることにより、パルスの立ち上がりおよび立ち下りのエッジが鈍って、図 2 (c) のような波形となる。

【 0 0 3 6 】

この図 2 (c) に示す鈍った波形の信号がコンパレータ 1 2 の正側の入力端子に入力される。一方、コンパレータ 1 2 の負側の入力端子には、オフセット電圧

検出回路 1 により検出されてフィードバックされてきたオフセット電圧分の信号が入力され、これによってコンパレータ 12 の出力信号の“H”または“L”を決めるしきい値が調整される。

【0037】

例えば、パワーアンプ 54 の両端にオフセット電圧が生じ、ノード H よりもノード I の方が 100 mV 高くなったとする。この場合、オフセット電圧検出回路 1 内のコンパレータ 21 からは -100 mV 分の信号が出力され、それに応じてコンパレータ 12 のしきい値が下げられる。図 2 (c) は、標準のしきい値電圧 $V_{dd}/2$ よりもしきい値が小さくされた状態を示している。

【0038】

コンパレータ 12 の出力ノード D に現れるパルス信号の波形は、図 2 (c) の波形においてしきい値よりもレベルが大きいところで“H”となり、しきい値よりもレベルが小さいところで“L”となる。したがって、そのパルス波形は図 2 (d) に示すようになり、コンパレータ 12 の入力側ノード B の波形と比べてパルスの立ち上がり立ち下りが遅れた波形となる。本実施形態では、コンパレータ 12 の前段に抵抗 R3 とコンデンサ C3 とを設け、これらの値を適当に決めることにより、コンパレータ 12 の入力波形を意図的に鈍らせ、ノード D のパルス波形の立ち上がり立ち下りをより多く遅らせるようにしている。

【0039】

第 1 の AND ゲート 13 は、第 1 のインバータ 11 より出力されたノード B のパルス信号と、コンパレータ 12 より出力されたノード D のパルス信号との論理積をとる。これにより、その出力ノード E に現れる信号の波形は、図 2 (e) のようになる。

【0040】

また、コンパレータ 12 から出力されたノード D のパルス信号は、第 2 のインバータ 14 を通ることにより、その出力ノード F の信号は図 2 (f) のようになる。そして、第 2 の AND ゲート 15 は、このノード F のパルス信号とノード A のパルス信号との論理積をとる。これにより、その出力ノード G に現れる信号の波形は、図 2 (g) のようになる。

【 0 0 4 1 】

このような一連の動作の中で得られたノード E の波形を有するパルス信号がパワーアンプ 5 4 の 2 つの MOS トランジスタ Q 1, Q 4 に駆動制御信号として供給され、ノード G の波形を有するパルス信号がパワーアンプ 5 4 の残りの MOS トランジスタ Q 2, Q 3 に駆動制御信号として供給される。

【 0 0 4 2 】

このとき、図 2 から明らかなように、ノード E の信号が “L” とされて MOS トランジスタ Q 1, Q 4 が OFF となってから、ノード G の信号が “H” とされて MOS トランジスタ Q 2, Q 3 が ON となるまでの間には、何れの MOS トランジスタ Q 1 ~ Q 4 も ON とされないデッドタイム T_{d1} が生じる。また、ノード G が信号が “L” とされて MOS トランジスタ Q 2, Q 3 が OFF となってから、ノード E の信号が “H” とされて MOS トランジスタ Q 1, Q 4 が ON となるまでの間にも、何れの MOS トランジスタ Q 1 ~ Q 4 も ON とされないデッドタイム T_{d2} が生じる。

【 0 0 4 3 】

これらのデッドタイム T_{d1} , T_{d2} が MOS トランジスタ Q 1 ~ Q 4 のスイッチングにかかる時間よりも長ければ、ブリッジ回路で一对の MOS トランジスタ Q 1, Q 4 ともう一对の MOS トランジスタ Q 2, Q 3 とを交互に切り替えて ON とするとき、その切り替えタイミングで MOS トランジスタ Q 1 と Q 2、あるいは MOS トランジスタ Q 3 と Q 4 が同時に ON となってしまうことがなくなり、貫通電流の発生を抑止することができる。

【 0 0 4 4 】

本実施形態では、検出したオフセット電圧に応じてコンパレータ 1 2 のしきい値を調整し、デッドタイム T_{d1} , T_{d2} が MOS トランジスタ Q 1 ~ Q 4 のスイッチング時間よりも長くなるようにパルス幅を制御しているので、貫通電流の発生を抑止することができる。実際、例えば MOS トランジスタ Q 1 ~ Q 4 のスイッチング時間が 5 n s e c 程度の場合、デッドタイム T_{d1} , T_{d2} として 1 0 n s e c 程度あれば貫通電流をなくすことができる。

【 0 0 4 5 】

また、今の例のように、ブリッジ回路のノードHよりもノードIの方が電位が高くなるオフセット電圧が生じていた場合には、コンパレータ12のしきい値が下げられる。これにより、図2(e)および(g)に示すように、一対のMOSトランジスタQ1, Q4をONにする駆動制御信号のパルス幅 W_E が、もう一対のMOSトランジスタQ2, Q3をONにする駆動制御信号のパルス幅 W_G よりも広くなる方向に調整される。

【0046】

これは、一対のMOSトランジスタQ1, Q4に印加する電圧（ノードHの電圧）を、もう一対のMOSトランジスタQ2, Q3に印加する電圧（ノードIの電圧）よりも大きくする方向に調整することを意味する。したがって、これによってノードH, Iの間にもともと生じていたオフセット電圧が相殺によって有効にキャンセルされ、再生音声の歪みを防止することができる。

【0047】

図3は、本実施形態による1ビットアンプの他の構成例を示す図であり、図1に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。図3に示す1ビットアンプは、パワーアンプ54のオフセット電圧を検出してドライバ回路3にフィードバックをかける方法の他の例を示すものである。

【0048】

図3に示すように、ここではオフセット電圧検出回路1は設けず、その代わりにDAコンバータ(DAC)31を設ける。DAC31は、マイクロコンピュータ(マイコン)32から供給される所定の信号を入力してデジタル/アナログ変換し、その出力信号をコンパレータ12の負側の入力端子に供給する。マイコン32は、1ビットアンプ全体を制御するためのコントローラである(図1では単に図示しなかっただけ)。

【0049】

この図3に示す1ビットアンプでは、出荷前などにテストを行うことによってスピーカ57の両端に生じるオフセット電圧を検出し、そのオフセット電圧に相当する信号をマイコン32からDAC31に供給するようにパラメータ等をセットする。これにより、図2に示したのと同様の状態を作り出し、オフセット電圧

をキャンセルする。

【 0 0 5 0 】

パワーアンプ 5 4 に生じるオフセット電圧は、ブリッジ回路を構成する 4 つの MOS トランジスタ Q 1 ~ Q 4 の製造ばらつき等によって決まる値であり、ほぼ固定である。したがって、その固定のオフセット電圧を試験的に検出し、それを相殺するような信号をマイコン 3 2 および D A C 3 1 を通じてコンパレータ 1 2 の負側端子に入力することにより、図 1 の場合と同様にオフセット電圧をキャンセルすることができるとともに、貫通電流の発生を抑止することができる。しかも、図 1 の場合と比べて構成を簡素化することができる。

【 0 0 5 1 】

なお、上述のようにオフセット電圧はほぼ固定であるが、温度などの外的要因によって MOS トランジスタ Q 1 ~ Q 4 のオン抵抗が変動し、それによってオフセット電圧も多少変動する。したがって、変動し得るオフセット電圧をリアルタイムにキャンセルするためには、図 1 のようにフィードバックループを形成して常時オフセット電圧を検出することが好ましい。

【 0 0 5 2 】

また、図 1 の例によれば、機器ごとに異なるオフセット電圧もオフセット電圧検出回路 1 が自動的に検出してくれるので、それぞれの機器ごとにオフセット電圧を検出する手間を省略することができるというメリットも有する。

【 0 0 5 3 】

なお、上記説明した実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 0 5 4 】

【発明の効果】

以上詳しく説明したように、本発明によれば、増幅手段に生じるオフセット電圧に応じて当該増幅手段を駆動する駆動制御信号のパルス幅が補正されるので、オフセット電圧や貫通電流を有効にキャンセルすることができる。すなわち、増

幅手段の一对のスイッチング素子をオフとしてからもう一对のスイッチング素子をオンとするまでの時間を少なくともスイッチング素子のスイッチングにかかる時間よりも長くなるように補正することにより、一对のスイッチング素子ともう一对のスイッチング素子とが同時にオンになってしまう不都合を防止し、貫通電流を有効にキャンセルすることができる。また、一对のスイッチング素子をオンとするためのパルス幅を、もう一对のスイッチング素子をオンとするためのパルス幅よりも広くあるいは狭くなるように補正することにより、印加電圧の大きさを調整してオフセット電圧を有効にキャンセルすることができる。

これにより、貫通電流やオフセット電圧に伴う再生音声の音質劣化をなくし、より高品質な音声を再生することができる。

【図面の簡単な説明】

【図 1】

本発明の音声再生装置を実施した本実施形態による 1 ビットアンプの構成例を示す図である。

【図 2】

本実施形態による 1 ビットアンプの動作を説明するためのタイミングチャートである。

【図 3】

本実施形態による 1 ビットアンプの他の構成例を示す図である。

【図 4】

従来の 1 ビットアンプの構成を示す図である。

【符号の説明】

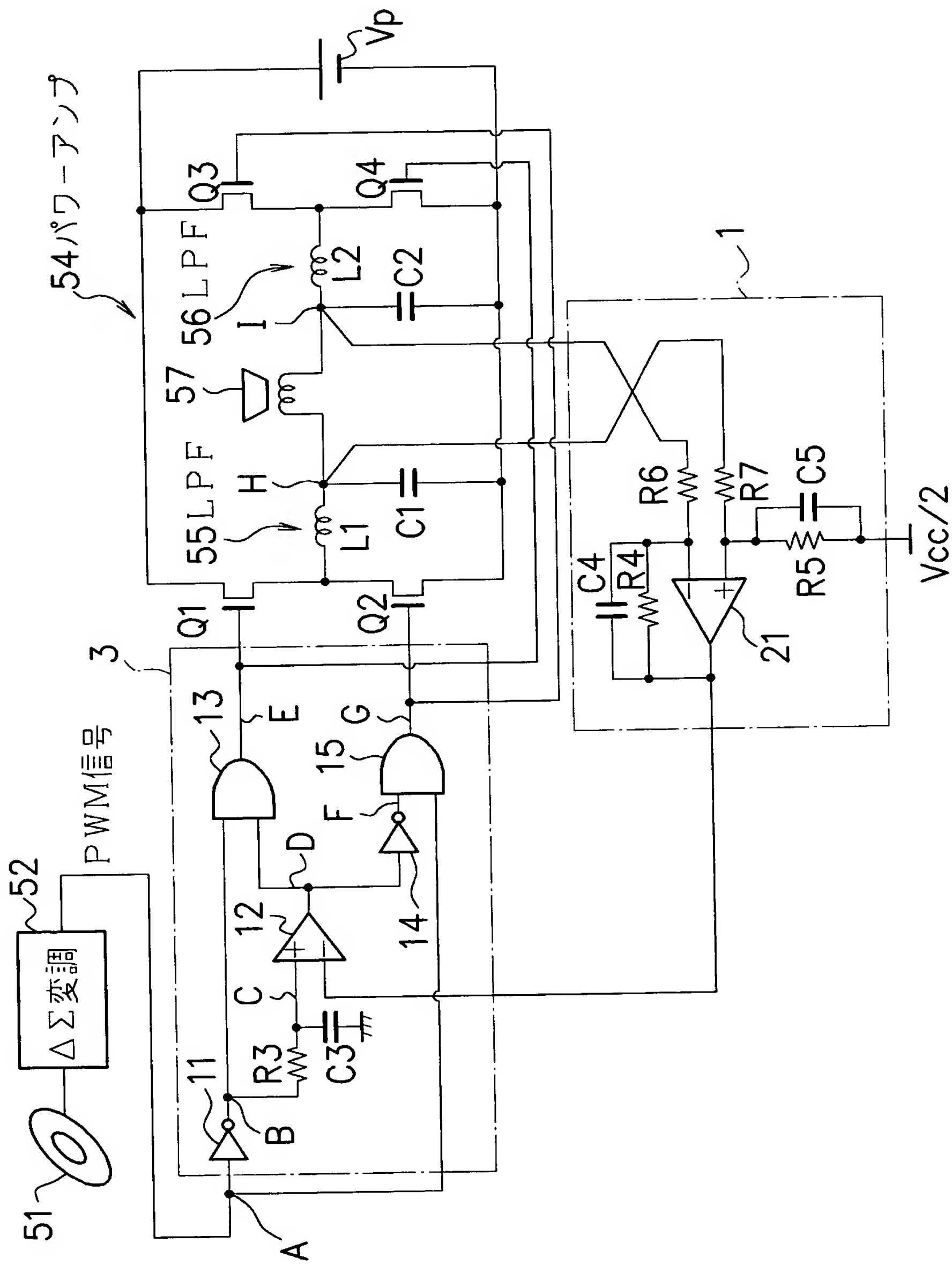
- 1 オフセット電圧検出回路
- 3 ドライバ回路（駆動手段）
- 11, 14 インバータ
- 12 コンパレータ（比較手段）
- 13, 15 ANDゲート
- 21 コンパレータ
- 31 DAコンバータ

3 2 マイクロコンピュータ
5 2 $\Delta \Sigma$ 変調部
5 4 パワーアンプ (増幅手段)
5 5, 5 6 L P F
5 7 スピーカ
Q 1 ~ Q 4 M O S トランジスタ
R 3 抵抗 (波形形成手段)
C 3 コンデンサ (波形形成手段)

【書類名】 図面

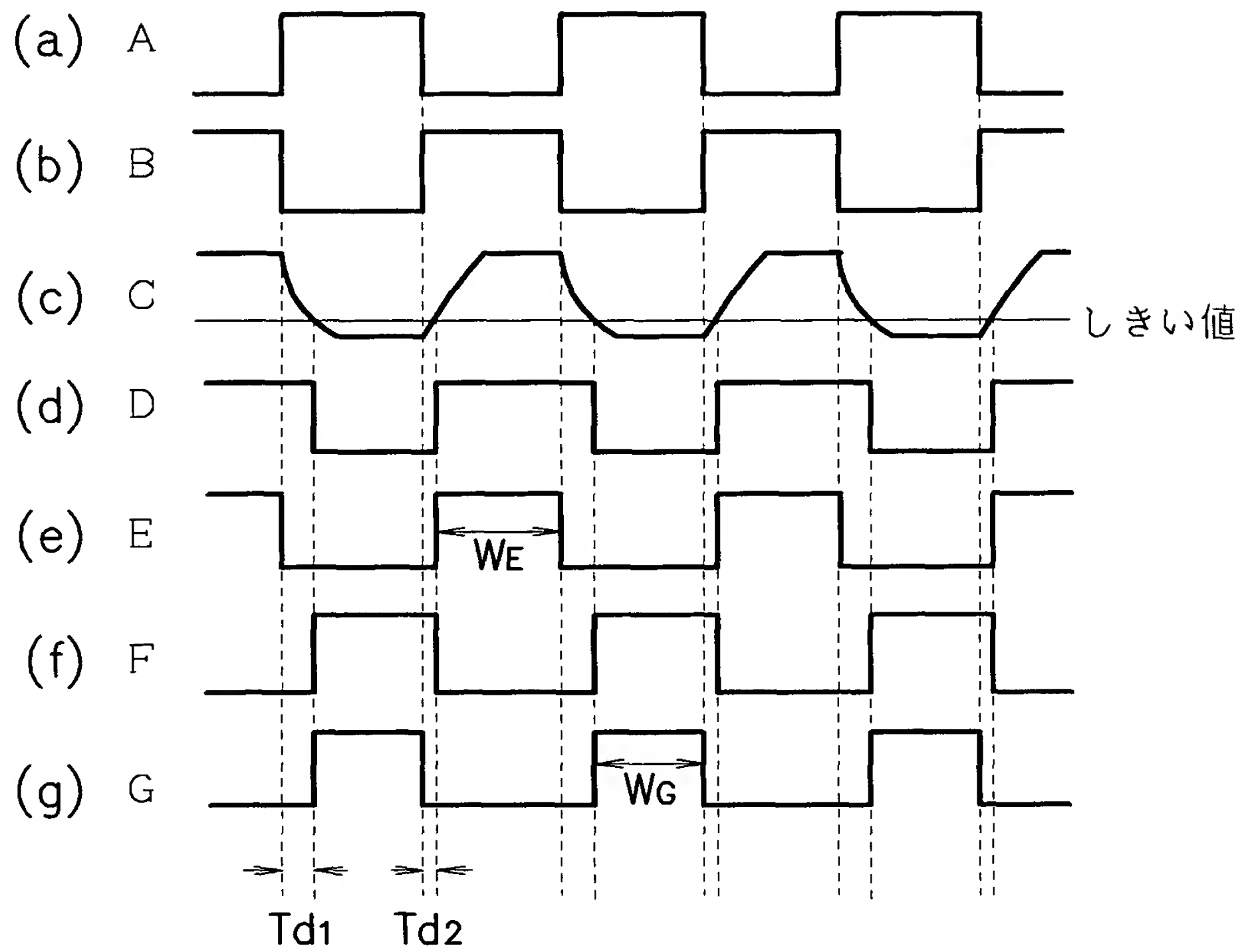
【図 1】

本実施形態の1ビットアンプ



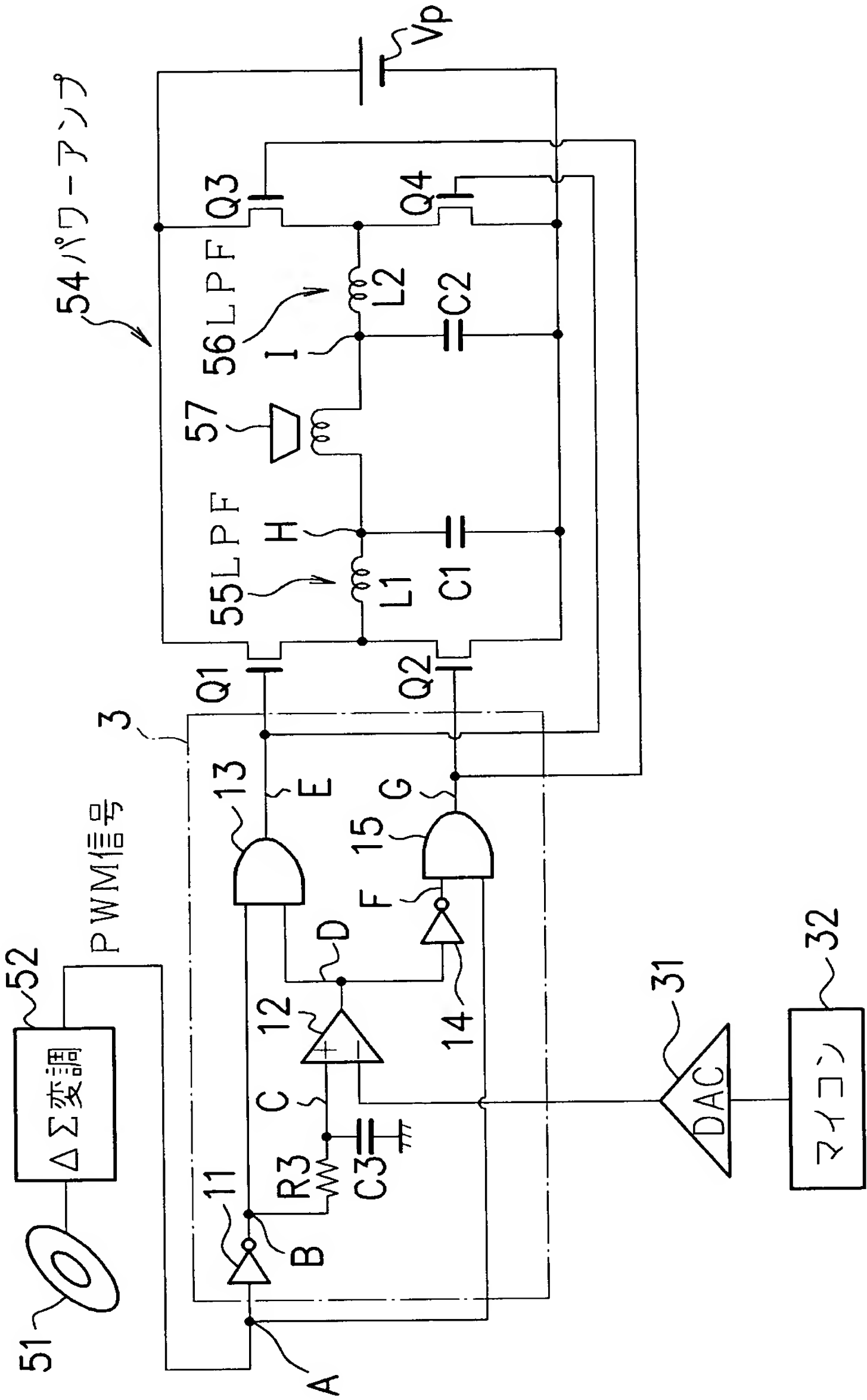
【図 2】

ドライバ回路の動作タイミング



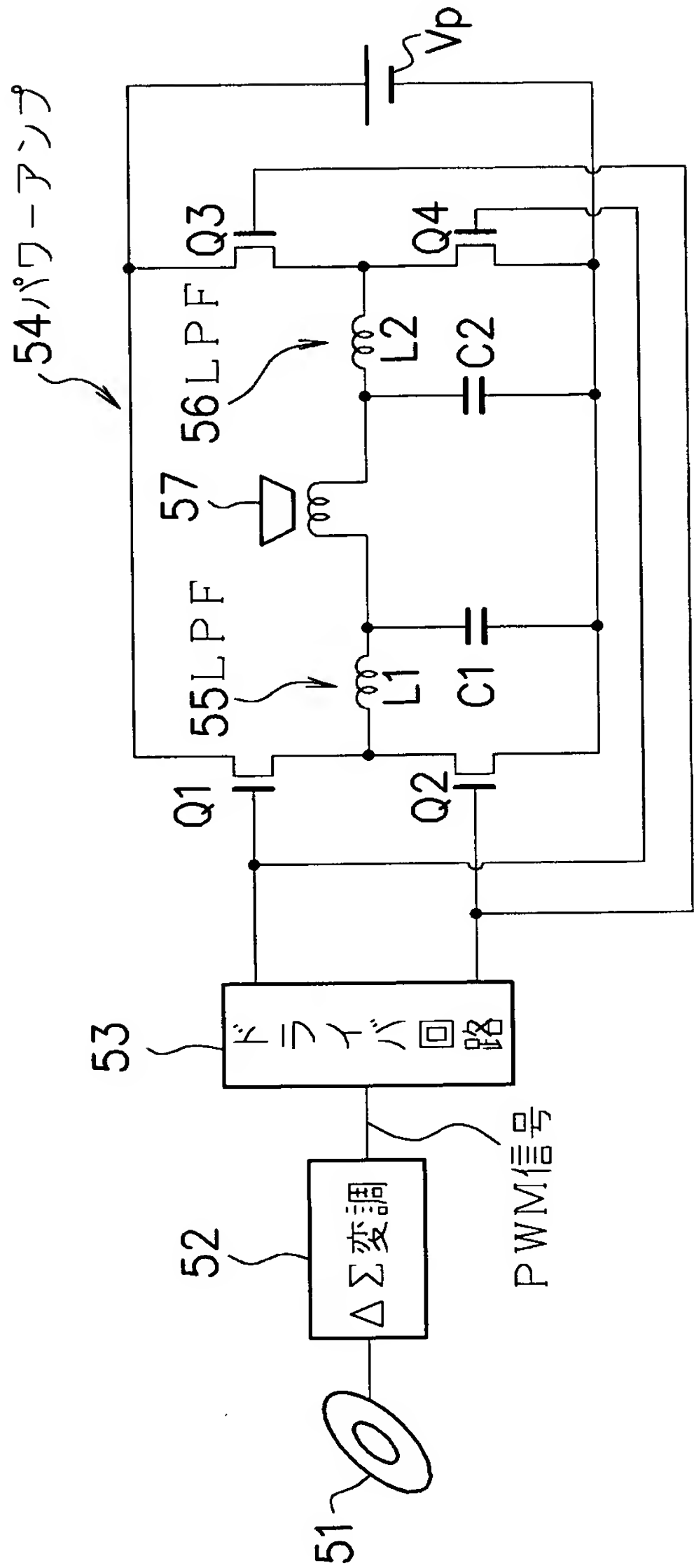
【図3】

本実施形態の1ビットアンプの他の例



【図 4】

従来の 1 ビットアンプ



【書類名】 要約書

【要約】

【課題】 ブリッジ型のパワーアンプを構成する各スイッチング素子の特性のばらつきによって生じるオフセット電圧や貫通電流を有効にキャンセルする。

【解決手段】 パワーアンプ 5 4 のノード H, I 間に生じるオフセット電圧の検出信号を用いて、パワーアンプ 5 4 の駆動制御信号のパルス幅を補正するコンパレータ 1 2 を設け、一対のスイッチング素子 Q 1, Q 4 をオフとしてからもう一対のスイッチング素子 Q 2, Q 3 をオンとするまでの時間幅を広くとることにより、例えばスイッチング素子 Q 1, Q 2 が同時にオンとなってしまう不都合を防止して貫通電流の発生を抑止する。また、一対のスイッチング素子 Q 1, Q 4 をオンとするパルス幅を、もう一対のスイッチング素子 Q 2, Q 3 をオンとするパルス幅よりも広くあるいは狭くなるように補正することにより、印加電圧の大きさを調整してオフセット電圧を相殺によりキャンセルできるようにする。

【選択図】 図 1

特願 2 0 0 1 - 0 2 0 0 4 6

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1 . 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社